

ACTIVE MATRIX DISPLAY

Publication number: JP4163528 (A)

Publication date: 1992-06-09

Inventor(s): NISHIMURA KENICHI; TANAKA HIROHISA; HISHIDA TADANORI +

Applicant(s): SHARP KK +

Classification:


- international: **G02F1/1333; G02F1/136; G02F1/1368; H01L29/786; G02F1/1362; G02F1/13; H01L29/66;** (IPC1-7): G02F1/1333; G02F1/136

- European:

Application number: JP19900292719 19901029

Priority number(s): JP19900292719 19901029

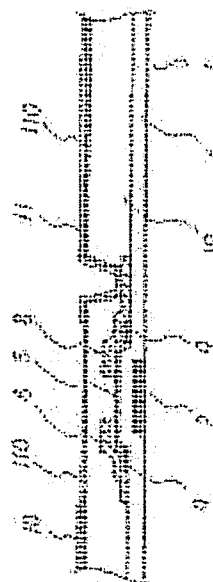
Also published as:

 JP2963529 (B2)

Abstract of JP 4163528 (A)

PURPOSE: To keep off any possible separation at the time of patterning for a transparent electrode by forming a transparent insulating film into a multilayer film where an organic insulating film and an inorganic insulating film are laminated in order.

CONSTITUTION: A layer insulating film is formed into a two-layer structure consisting of an organic insulating film 10 and an inorganic insulating film 110 interposing between this organic insulating film 10 and a picture element electrode 11. This inorganic insulating film 110 is formed so as to cover the whole upper part of the organic insulating film 10, and there is provided a contact hole for connecting the picture element electrode 11 to a drain electrode 8 as well. In this case, this contact hole is made smaller than another contact hole formed in the insulating film 10.; With this constitution, any possible separation at the time of patterning for the picture element electrode is thus preventable.



Family list

1 application(s) for: **JP4163528**

1 ACTIVE MATRIX DISPLAY

Inventor: NISHIMURA KENICHI ; TANAKA
HIROHISA (+1)

EC:

Publication **JP4163528 (A)** - 1992-06-09

info: **JP2963529 (B2)** - 1999-10-18

Applicant: SHARP KK

IPC: *G02F1/1333; G02F1/136; G02F1/1368; (+6)*

Priority Date: 1990-10-29

Data supplied from the *espacenet* database — Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平4-163528

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)6月9日

G 02 F 1/136
1/1333

5 0 0
5 0 5

9018-2K
8806-2K

審査請求 未請求 請求項の数 3 (全6頁)

⑭ 発明の名称 アクティブマトリクス表示装置

⑯ 特 願 平2-292719

⑰ 出 願 平2(1990)10月29日

⑱ 発 明 者 西 村 健 一 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内
⑲ 発 明 者 田 仲 広 久 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内
⑳ 発 明 者 菱 田 忠 則 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内
㉑ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号
㉒ 代 理 人 弁理士 梅 田 勝 外2名

明 細 書

1. 発明の名称

アクティブマトリクス表示装置

2. 特許請求の範囲

1. 絶縁性透明基板、該基板上に設けられた薄膜トランジスタアレイ、該薄膜トランジスタアレイを覆うように形成された透明絶縁膜及び該透明絶縁膜に形成されたコンタクトホールを介して前記薄膜トランジスタアレイの各薄膜トランジスタのドレイン電極と電気的に接続している絵素電極を有するアクティブマトリクス表示装置にあって、前記透明絶縁膜が有機系絶縁膜、無機系絶縁膜の順に積層された多層膜であることとを特徴とするアクティブマトリクス表示装置。
2. 前記有機系絶縁膜がポリイミド樹脂膜またはアクリル樹脂膜であることを特徴とする特許請求の範囲第1項記載のアクティブマトリクス表示装置。
3. 前記無機系絶縁膜が酸化シリコン膜または窒化シリコン膜であることを特徴とする特許請求

の範囲第1項記載のアクティブマトリクス表示装置。

3. 発明の詳細な説明

<産業上の利用分野>

本発明は、アクティブマトリクス表示装置の構造に関するものであり、特に高精細液晶表示装置に用いる薄膜トランジスタ(以下TFTと略称する。)アクティブマトリクス表示装置の構造に関するものである。

<従来の技術>

アクティブマトリクス表示装置、特に液晶を用いるアクティブマトリクス表示装置は表示コントラストが高く、表示容量に制約が少ない等の利点があるため研究開発が盛んに行なわれており、実用化も進みつつある。ところがアクティブマトリクス表示装置に用いるアクティブマトリクス基板は製造工程が複雑で歩留りが低いために、コストが高いという欠点がある。

典型的なアクティブマトリクス基板について、その主要な部分の平面図を第3図に、その部分の

断面図を第4図に示す。このアクティブマトリクス基板は、透明絶縁性基板1と、この透明絶縁性基板1上にマトリクス状に配列された絵素電極11と、ゲートバス配線3と、ソースバス配線7と、これら絵素電極11、ゲートバス配線3及びソースバス配線7に接続されているスイッチング素子であるTFTを有する。

前記透明絶縁性基板1上に形成されたTFT近傍の断面構造は、第4図に示す通りである。透明絶縁性基板1上にゲート電極2が形成され、ゲート電極2は基板1上の全面に形成されているゲート絶縁膜4によって覆われている。ゲート電極2の上方のゲート絶縁膜4上には、アモルファスシリコン(以下ではa-Siと略称する)からなる半導体層5が形成されている。半導体層5上には両端部において n^+ 型a-Siからなるコンタクト層(図示していない。)が形成され、コンタクト層上にはそれぞれソース電極6とドレイン電極8が形成されている。ソース電極6はドレイン電極8とは反対側の部分においてソースバス配線7

に接続している。このソースバス配線7はソース電極6の上記部分と同様にゲート絶縁膜4上に形成されている。そして、前記絵素電極11は大部分が絶縁膜4上に形成される一方で一部分が前記ドレイン電極8上に重畳して形成されている。なお、前記ゲート電極2はゲートバス配線(図示せず)に接続されている。

このようにして形成されているTFT上には保護膜(図示せず)が形成され、更にこのようにして形成された透明絶縁性基板1上の全面には配向膜(図示せず)が形成され、この基板を配向膜、透明電極等が形成されている透明絶縁性基板(図示せず)との間に液晶層を封入することによりアクティブマトリクス液晶表示装置が形成される。

ところが、前記のように形成されたアクティブマトリクス基板には不良の発生することがある。この不良の原因の一つにソースバス配線7と絵素電極11との間のショートがある。これは、ソースバス配線7と絵素電極11とは同じゲート絶縁膜4上に形成されているばかりでなく、相互の間

隔が高精細にすればする程接近することが要因と考えられる。

そこで、このソースバス配線7と絵素電極11との間のショートを防止するためには、当該配線7と絵素電極11とを異なる層上に形成する構造が提案される。

第5図は、ソースバス配線と絵素電極を別の層に形成したアクティブマトリクス基板の断面図を示す。第5図において第4図と同等部分は同一符号で示す。層間絶縁膜10は、TFTが形成されている透明絶縁性基板1のほぼ全面に形成されている。この層間絶縁膜10はTFTのドレイン電極8の端部の中央部上面において欠如しているホールが形成されており、このホールが層間絶縁膜10上に形成されている絵素電極11をドレイン電極8に電気的に接続するためのコンタクトホール12として寄与している。即ち、絵素電極11は層間絶縁膜10上から上記ドレイン電極8の端部上を覆うよう形成されている。

このような構造のアクティブマトリクス基板は、

ソースバス配線7と絵素電極11はそれらの間に層間絶縁膜10が存在する立体的構造をなしていることから、平面に投影した場合の間隔をなくすることが可能となる。この構造のアクティブマトリクス基板の平面図を第6図に示しており、この図から明らかなようにソースバス配線7と絵素電極11が重なっている。なお、重なっている部分は第6図に斜線で示す。又、ゲートバス配線3と絵素電極が重なっている部分も斜線で示す。従って絵素電極11の面積を大きくすることができる。絵素電極11の面積が大きいと、表示装置に用いた場合の開口率が大きくなり表示品位が高まるという利点もある。更に、この層間絶縁膜10をポリイミド樹脂などの樹脂を塗布することにより形成すると、アクティブマトリクス基板表面の段差を平坦化することができ、液晶表示装置に用いた場合に問題となる段差による液晶の配向不良を低減することもできる。

このようなアクティブマトリクス基板は、以下のようにして製造される。まず、ガラス等の透明

絶縁性の基板 1 の上に Ta・Cr 等から成るゲート電極 2 を形成する。次に、SiNx、SiOx 等から成るゲート絶縁膜 4、非晶質シリコン（以下 a-Si と略す。）、多結晶シリコン、CdSe 等から成る半導体層 5 を積層する。更に、Ti、Mo、Al 等から成るソース電極 6 及びドレイン電極 8 を形成する。通常、オーミックコンタクトを取るために半導体層 5 とソース電極 6 及びドレイン電極 8 の間にリンをドーピングした a-Si（以下 n⁺-Si と略称する。）層 9 が設けられる。最後に、ポリイミド樹脂・アクリル樹脂等から成る有機系層間絶縁膜 10、ITO 等の透明導電膜から成る絵素電極 11 を形成する。

<発明が解決しようとする課題>

前記層間絶縁膜となる有機系絶縁膜上に直接絵素電極となる透明電極膜例えば金属酸化物例えば ITO (Indiumtin oxide) の膜をパターンニングすると、有機系絶縁膜と ITO の膜の密着性が悪いため、ITO のはがれがおこる。このようなはがれが発生するとアクティブマトリクス基

に形成されたコンタクトホールより前記無機系絶縁膜に形成されたコンタクトホールの方を小さくすることができる。そして、前記有機系絶縁膜をポリイミド樹脂膜またはアクリル樹脂膜とし、又前記無機系絶縁膜を酸化シリコン膜または窒化シリコン膜とすることにより、上記目的が良好に達成される。

<作 用>

本発明によれば、有機系絶縁膜と絵素電極膜である透明電極膜との間に無機系絶縁膜が介在しており、絵素電極膜は無機系絶縁膜上に配置されるために密着性が高まり、はがれが防止できる。ここで、無機系絶縁膜を酸化シリコン膜または窒化シリコン膜とすることにより絵素電極膜との密着性が良好であり望ましい。又、有機系絶縁膜をポリイミド樹脂またはアクリル樹脂により形成することが望ましい。

<実施例>

本発明のアクティブマトリクス表示装置に用いるアクティブマトリクス基板の一実施例の断面図

板の歩留りを低下させ、コスト高を招き、このアクティブマトリクス基板を用いている表示装置の歩留り低下の原因となる。

そこで、本発明はアクティブマトリクス表示装置に用いるアクティブマトリクス基板にあって、絵素電極である透明電極のパターニング時のはがれが防止しうるアクティブマトリクス基板の提供を目的とする。

<課題を解決するための手段>

本発明のアクティブマトリクス表示装置によれば、絶縁性透明基板、該基板上に設けられた薄膜トランジスタアレイ、該薄膜トランジスタアレイを覆うように形成された透明絶縁膜及び該透明絶縁膜に形成されたコンタクトホールを介して前記薄膜トランジスタアレイの各薄膜トランジスタのドレイン電極と電気的に接続している絵素電極を有するアクティブマトリクス表示装置にあって、前記透明絶縁膜が有機系絶縁膜、無機系絶縁膜の順に積層された多層膜とすることによって上記目的が達成される。なお、ここで前記有機系絶縁膜

を第 1 図に示す。第 1 図において、第 5 図と同等部分は同一符号にて示している。第 1 図において層間絶縁膜が有機系絶縁膜 10 と、その有機系絶縁膜 10 と絵素電極 11 との間に介在する無機系絶縁膜 110 との 2 層構造となっている。

この有機系絶縁膜 10 はポリイミド樹脂、アクリル樹脂等の有機系材料であるが、実施例ではポリイミド樹脂の例を挙げる。そして、前記無機系絶縁膜 110 は酸化シリコン膜、窒化シリコン膜等の無機系材料であるが、実施例では酸化シリコンの例を挙げる。又、有機系絶縁膜 10 の膜厚は 5000 ~ 20000 Å 程度とすることができ、無機系絶縁膜 110 の膜厚は 500 ~ 5000 Å 程度とすることができる。そして絵素電極 11 の膜厚は 500 ~ 2000 Å とすることができる。この無機系絶縁膜 110 は、有機系絶縁膜 10 の上方全面を覆うよう形成されており、絵素電極 11 がドレイン電極 8 と接続するためのコンタクトホールが形成されており、当該コンタクトホールは絶縁膜 10 に形成されているコンタクトホールよ

り小さくされている。なお、無機系絶縁物110は、この実施例では有機系絶縁膜10の全面を覆うように形成されている例を説明したが、絵素電極11のはがれ防止の目的からは絵素電極11に対応する部分乃至それより一まわり大きく形成することもできる。

第1図に示す、本発明の一実施例であるアクティブマトリクス基板の製造方法を第2図(a), (b), (c)に従って説明する。まず、ガラス基板1上に、スパッタリング法により3000ÅのTa膜を形成して、フォトリソグラフィによりパターンニングしてゲート電極2とする。次に、プラズマCVD法により4000ÅのSiNxから成るゲート絶縁膜4、1000Åのa-Siから成る半導体層5及び400Åの n^+ -Si層9を連続して形成して、パターンニングする。更に、スパッタリング法により2000ÅのMoを形成して、ソース電極6及びドレイン電極8の形状にパターンニングすることによりTFETアレイをマトリクス状に形成する(第2図(a))。このときソース電極6と接続

するソースバス配線7も形成される。ポリイミド樹脂を1μm塗布し、パターンニングし、有機系絶縁膜10を形成する。次に、スパッタリング法により、1000ÅのSiO₂膜を形成し、コンタクトホールをポリイミド樹脂パターンニングしたときのマスクよりも小さいマスクを用いてパターンニングし、無機系絶縁膜110を形成する。(第2図(b))最後に、スパッタリング法により、1000ÅのITO膜を形成し、絵素電極の形状にパターンニングし、絵素電極11を形成する(第2図(c))。

前記実施例のアクティブマトリクス基板においては、層間絶縁層が有機系絶縁膜10であるポリイミド樹脂膜10の上に形成された、無機系絶縁膜110であるSiO₂膜110の上に、更に絵素電極11であるITO11が形成されているため、ITOはSiO₂膜との密着性が良くはがれが防止される。そして、このアクティブマトリクス基板を液晶表示素子に用いる場合には、該アクティブマトリクス基板上に液晶の配向膜として更

にポリイミド樹脂が塗布されることとなるが、ポリイミド樹脂膜10の上面が酸化シリコン膜110で覆われるのでポリイミド樹脂膜10に悪影響を及ぼすことがない。即ち、第5図に示すアクティブマトリクス基板のように絵素電極11が層間絶縁膜10を部分的に覆っている場合、液晶の配向膜として更にポリイミド樹脂を直接塗布すると、該ポリイミド樹脂が層間絶縁膜10であるポリイミド樹脂に接触するため、層間絶縁膜10用のポリイミド樹脂が膨潤し、クラックや膜剥がれが発生しやすいという問題があるが、本発明ではポリイミド樹脂膜10の表面が酸化シリコン樹脂膜110で覆われており、このような問題が生じ難くなる。

<発明の効果>

本発明のアクティブマトリクス表示装置に用いるアクティブマトリクス基板によれば、絵素電極がパターンニング時の剥がれが防止できる。この結果、アクティブマトリクス基板の歩留まりが向上し、アクティブマトリクス表示装置の実用性を高

めることができる効果がある。

4. 図面の簡単な説明

第1図は本発明のアクティブマトリクス表示装置に用いるアクティブマトリクス基板の1実施例を示す断面図を示し、

第2図(a), (b), (c)は本発明の前記1実施例の製造工程を示す断面図を示し、

第3図は従来構造のアクティブマトリクス基板の要部平面図を示し、

第4図は従来構造のアクティブマトリクス基板の断面図を示し、

第5図は従来構造を改良したアクティブマトリクス基板の断面図を示し、

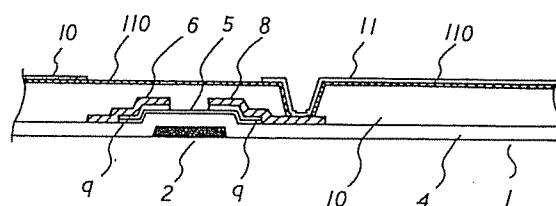
第6図は改良されたアクティブマトリクス基板の要部平面図を示す。

- | | |
|---------------|-------------------------|
| 1:透明絶縁性基板 | 2:ゲート電極 |
| 3:ゲートバスライン | 4:ゲート絶縁膜 |
| 5:a-Si膜 | 6:ソース電極 |
| 7:ソースバスライン | 8:ドレイン電極 |
| 9: n^+ -Si膜 | 10:有機系層間絶縁膜
(有機系絶縁膜) |

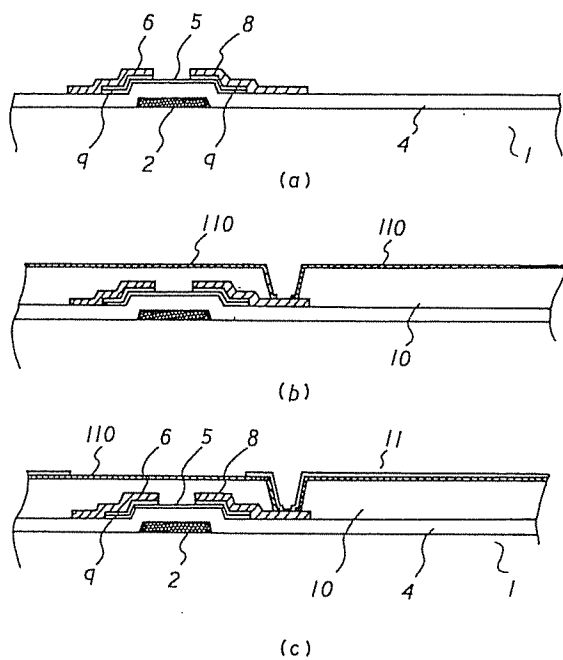
11: 絵素電極 12: コンタクトホール

110:無機系絶縁膜

代理人 弁理士 梅 田 勝（他2名）



第 / 四



第 2 图

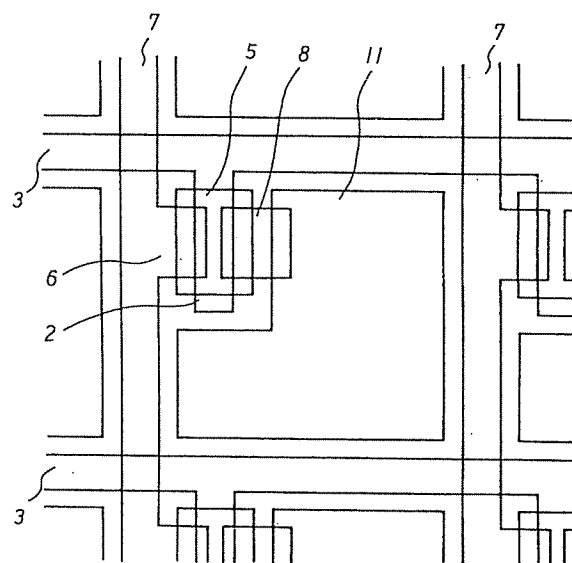
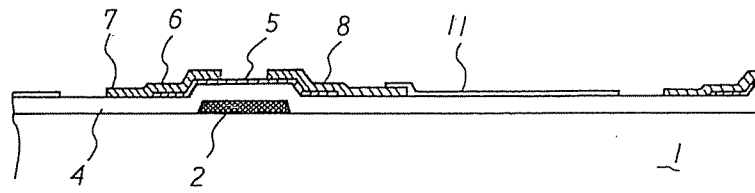
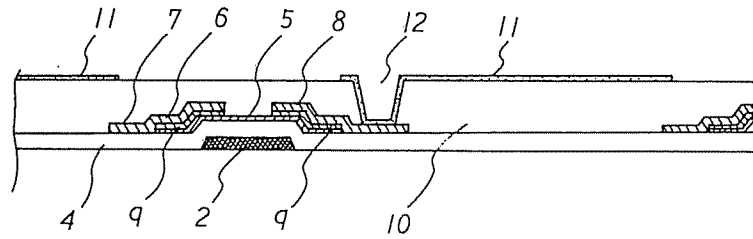


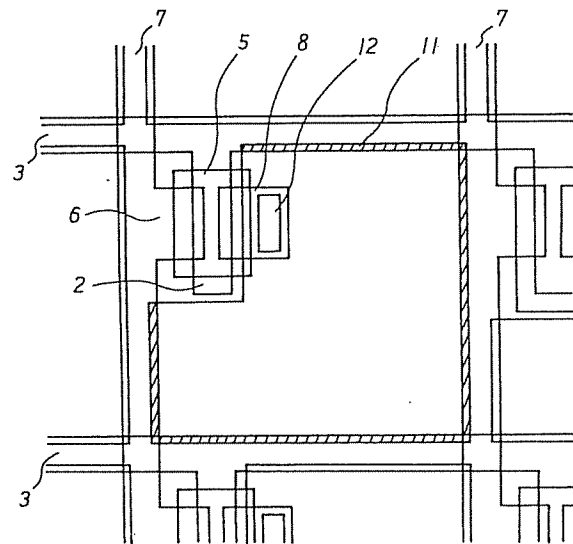
图 3 附



第 4 図



第 5 図



第 6 図